

Docket No.: 60188-734

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Makoto KITABATAKE, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: December 17, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE AND SUSTAINING CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

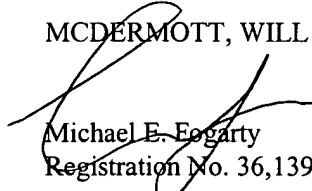
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-367848, filed December 19, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: December 17, 2003

60188-734

KITABATAKE et al.

December 17, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 1 9 日

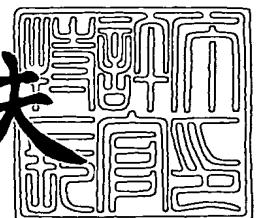
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 6 7 8 4 8
[ST. 10/C]: [J P 2 0 0 2 - 3 6 7 8 4 8]

出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 3 年 1 1 月 1 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 9 3 0 7 1

【書類名】 特許願

【整理番号】 2033740133

【提出日】 平成14年12月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
H01L 21/00
H01L 29/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 北畠 真

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 麻田 和彦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山下 秀和

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 長瀬 信義

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 登 一博

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大森 英樹

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小川 正則

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 ワイドギャップ半導体からなり、第 1 導電型の不純物を含む第 1 の基板と、上記第 1 の基板の主面側に設けられた第 1 の電極と、上記第 1 の基板の裏面側に設けられた第 2 の電極と、上記第 1 の基板の主面側に設けられた第 1 の制御電極とを有する第 1 のトランジスタと、

ワイドギャップ半導体からなり、第 1 導電型の不純物を含む第 2 の基板と、上記第 2 の基板の主面側に設けられ、上記第 1 の電極に電氣的に接続された第 3 の電極と、上記第 2 の基板の裏面側に設けられ、上記第 2 の電極に電氣的に接続された第 4 の電極と、上記第 2 の基板の主面側に設けられ、上記第 1 の制御電極に電氣的に接続された第 2 の制御電極とを有し、上記第 1 のトランジスタと電氣的特性が等しい第 2 のトランジスタとを備え、

上記第 1 のトランジスタと上記第 2 のトランジスタとは、上記第 1 の基板の主面側と上記第 2 の基板の主面側とが対向するように重ね合わされており、

上記第 1 の制御電極及び上記第 2 の制御電極は、上記第 2 の電極から上記第 4 の電極に流れる電流または上記第 4 の電極から上記第 2 の電極に流れる電流を制御するための電極である半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

上記第 1 のトランジスタと上記第 2 のトランジスタとは共に縦型 MISFET であって、

上記第 1 の電極及び上記第 3 の電極はソース電極であり、

上記第 2 の電極及び上記第 4 の電極はドレイン電極であり、

上記第 1 の制御電極及び上記第 2 の制御電極はゲート電極であることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、

上記第 1 のトランジスタ及び上記第 2 のトランジスタの電極以外の部分はほぼ炭化珪素からなっていることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 のトランジスタと上記第 2 のトランジスタとの間に一部を突出させて挟まれ、上記第 1 の電極及び上記第 3 の電極に接続された第 1 の導電板と、

上記第 1 のトランジスタと上記第 2 のトランジスタとの間に一部を突出させて挟まれ、上記第 1 の制御電極及び上記第 2 の制御電極に接続され、且つ上記第 1 の導電板とは電氣的に分離された第 2 の導電板とをさらに備えていることを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の基板の裏面上に接着された第 1 の金属板と、

上記第 2 の基板の裏面上に接着された第 2 の金属板とをさらに備えていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体パワーデバイスに関し、特にワイドギャップ半導体により構成される双方向のスイッチング動作が可能な半導体装置に関する。

【0002】

【従来の技術】

半導体パワーデバイスは、高電圧が加わるパワーエレクトロニクス用途や大電流が流れる電子機器のパワースイッチなどに用いられている。

【0003】

ダイオードあるいは縦型 MOSFET など、従来の半導体パワーデバイスは内部に p n 接合を有しており、その p n 接合に逆バイアスを印加した場合に発生する空乏層により、電流が流れず高電圧に耐える構造を有している。このため、従来のパワーデバイスをスイッチング素子として動作させるときには、電源から供給される交流電流を一度直流電流に変換し、パワーデバイスに印加される電圧の極性を一定とする必要がある。

【0004】

このようなスイッチング素子の一例として、従来の縦型MOSFETについて説明する。

【0005】

図5は、スイッチング素子の1つである一般的な縦型MOSFETを示す断面図である。同図に示すように、従来の縦型MOSFETは、n型のSi（シリコン）基板193と、Si基板193の主面上に設けられたn型ドープ層192と、n型ドープ層192に囲まれて設けられたp型ウェル195と、p型ウェル195に囲まれて設けられたn型ソース196と、2つのp型ウェル195とその間に挟まれたn型ドープ層192の上に設けられたゲート絶縁膜199と、ゲート絶縁膜199の上に設けられたゲート電極200と、n型ソース196の上に設けられたソース電極197と、Si基板193の裏面上に設けられたドレイン電極198とを備えている。

【0006】

この縦型MOSFETは電子をキャリアとしており、n型ドープ層192とp型ウェル195との間にpn接合が形成されている。この縦型MOSFETを動作させるには、ドレイン電極198に正、ソース電極197に負の電圧を印加する。その状態でゲート電極200に正電圧を印加することによってチャネルを流れる電流を誘起し、n型ソース196からドレイン側に電子が流れ込むことによりオン状態になる。つまり、ゲート電圧を変化させることにより、電流のオン・オフを制御することができる。この縦型MOSFETは電気機器のインバータなどによる精密制御を可能とし、消費電力の低減に貢献する。なお、スイッチング素子としては、縦型MOSFETの他にIGBT（Insulated Gate Bipolar transistor）などもある。

【0007】

【非特許文献1】

「パワーデバイス、パワーICハンドブック」電気学会編，コロナ社，p. 144

【0008】

【発明が解決しようとする課題】

上述のように、一般的なスイッチング素子の使用時には、スイッチング素子に所定の極性の電圧のみを印加する必要があるので、交流電源をまず直流に変換しなければならない。この交流－直流変換は、通常ダイオードを用いたブリッジ回路と大容量のコンデンサとを有する交流－直流変換回路により行われる。ところが、交流－直流変換回路を用いた交流－直流変換の際には、ダイオードに電流が流れることで導通損失が生じる。さらに、大容量のコンデンサを作製するためには大きい面積が必要となる。このため、従来のスイッチング素子では、回路の小型化や損失低減による省エネルギー化を図る上で限界があった。

【0009】

本発明の目的は、電力損失を抑えつつ、小面積化が図られたスイッチング素子を提供することにある。

【0010】**【課題を解決するための手段】**

本発明の半導体装置は、ワイドギャップ半導体からなり、第1導電型の不純物を含む第1の基板と、上記第1の基板の主面側に設けられた第1の電極と、上記第1の基板の裏面側に設けられた第2の電極と、上記第1の基板の主面側に設けられた第1の制御電極とを有する第1のトランジスタと、ワイドギャップ半導体からなり、第1導電型の不純物を含む第2の基板と、上記第2の基板の主面側に設けられ、上記第1の電極に電氣的に接続された第3の電極と、上記第2の基板の裏面側に設けられ、上記第2の電極に電氣的に接続された第4の電極と、上記第2の基板の主面側に設けられ、上記第1の制御電極に電氣的に接続された第2の制御電極とを有し、上記第1のトランジスタと電氣的特性が等しい第2のトランジスタとを備え、上記第1のトランジスタと上記第2のトランジスタとは、上記第1の基板の主面側と上記第2の基板の主面側とが対向するように重ね合わされており、上記第1の制御電極及び上記第2の制御電極は、上記第2の電極から上記第4の電極に流れる電流または上記第4の電極から上記第2の電極に流れる電流を制御するための電極となっている。

【0011】

この構成により、第2の電極と第4の電極に印加する電圧の極性が変化してもスイッチング動作が可能となるので、交流で駆動させることができる。そのため、本発明の半導体装置を用いれば、直流-交流変換を行う必要がなくなるので、高電圧下でのスイッチング動作をより小さい面積で行なうことができる。また、2つのトランジスタを重ねているので、同一基板上に2つのトランジスタを設ける場合に比べても大幅に回路面積を縮小できる。

【0012】

上記第1のトランジスタと上記第2のトランジスタとは共に縦型MISFETであって、上記第1の電極及び上記第3の電極はソース電極であり、上記第2の電極及び上記第4の電極はドレイン電極であり、上記第1の制御電極及び上記第2の制御電極はゲート電極であることにより、導通損失の少ない双方向デバイスを実現できる。

【0013】

上記第1のトランジスタ及び上記第2のトランジスタの電極以外の部分はほぼ炭化珪素からなっていることにより、シリコンで構成する場合に比べて第1及び第2のトランジスタの厚みを薄くできると共に、放熱性を向上させることができるので、装置の温度上昇をより効果的に抑えることができる。また、他のワイドギャップ半導体を用いる場合に比べて比較的微細な装置を容易に製造することができる。

【0014】

上記第1のトランジスタと上記第2のトランジスタとの間に一部を突出させて挟まれ、上記第1の電極及び上記第3の電極に接続された第1の導電板と、上記第1のトランジスタと上記第2のトランジスタとの間に一部を突出させて挟まれ、上記第1の制御電極及び上記第2の制御電極に接続され、且つ上記第1の導電板とは電氣的に分離された第2の導電板とをさらに備えていることにより、第1及び第2の導電板の突出部を、第1及び第2の制御電極と第1及び第3の電極との間に制御電圧を印加するためのリード端子とすることができる。

【0015】

上記第1の基板の裏面上に接着された第1の金属板と、上記第2の基板の裏面

上に接着された第2の金属板とをさらに備えていることにより、回路基板への実装が容易になるうえ、放熱性を向上させることができる。

【0016】

【発明の実施の形態】

－素子構造の検討－

従来のスイッチング素子で回路面積が大きくなったのは、上述のように、交流－直流変換回路の面積が大きいためであった。そこで、本願発明者らは、スイッチング素子を交流で駆動可能な構成にすることを考えた。

【0017】

スイッチング素子を交流で駆動させるためには、互いに同一な構成の2つのスイッチング素子を同一基板上に設けて互いに接続し、双方向デバイスとする方法が考えられる。すなわち、図5の縦型MOSFETを例にとると、該縦型MOSFETに隣接し、ソース領域（n型ソース196）を共有する縦型MOSFETを同一基板上にさらに設け、縦型MOSFETのゲート電極同士を互いに接続することで、ソース電極197とドレイン電極198とに印加される電圧の極性が入れ替わっても正常に動作させることができ、交流で駆動させることが可能となる。

【0018】

しかしながら、このような双方向デバイスでは交流－直流変換回路は不要になるものの、スイッチング素子自体の面積が大きくなってしまう。そこで、本願発明者らはさらに研究を重ね、同一構成の2つのスイッチング素子を、互いの主面を対向させて積層することに想到した。ただし、Siを構成材料とする従来のスイッチング素子では動作時の発熱が問題となるため、適する材料についての検討を併せて行った。その結果、耐圧性が高いワイドギャップ半導体を用いると素子の厚みを薄くできるので好ましいことが分かった。ここで、ワイドギャップ半導体とは、Siよりもバンドギャップが大きい半導体のことを意味するものとし、シリコンカーバイド（SiC）やダイヤモンド、ガリウムナイトライド（GaN）、酸化亜鉛（ZnO）などを含むものとする。また、これらワイドギャップ半導体の中でも、熱伝導性が高いSiCやダイヤモンドを材料とすることで、さら

に温度上昇が抑えられた双方向デバイスを実現できることが分かった。そのうち、SiCを材料として用いることが実用的で最も好ましいと考えられた。以下に、本発明の実施形態を説明する。

【0019】

(本発明の実施形態)

図1(a), (b)は、本発明の実施形態に係る双方向デバイスを示す断面図である。

【0020】

同図に示すように、本実施形態の双方向デバイスは、第1のスイッチング素子1と、主面側が第1のスイッチング素子1の主面側と対向するように第1のスイッチング素子1の上に設けられた第2のスイッチング素子2とを備えている。この例では、第1のスイッチング素子1と第2のスイッチング素子2とは互いに電気的特性が等しい縦型MOSFETである。なお、本明細書中で、スイッチング素子の主面側とは基板の主面側を意味するものとする。

【0021】

図1(a), (b)に示すように、第1のスイッチング素子1は、n型SiCからなる基板11と、基板11の主面上にエピタキシャル成長され、窒素を含むSiCからなる厚さ10 μ mのn型ドープ層12(ドレイン層)と、n型ドープ層12に囲まれて設けられ、Alを含むp型ウェル13と、p型ウェル13に囲まれて設けられ、窒素を含むn型ソース14と、少なくとも2つのp型ウェル13の上に設けられたSiO₂からなるゲート絶縁膜16と、ゲート絶縁膜16の上に設けられたAlからなるゲート電極17と、n型ソース14の上に設けられ、Niからなるソース電極15と、基板11の裏面上に設けられたNiからなるドレイン電極18とを有している。本実施形態において、ドレイン層の厚みは、Siで構成する場合の1/10程度に抑えられる。

【0022】

また、第2のスイッチング素子2は、n型SiCからなる基板21と、基板21の主面上にエピタキシャル成長され、窒素を含むSiCからなる厚さ10 μ mのn型ドープ層22(ドレイン層)と、n型ドープ層22に囲まれて設けられ、

A1を含むp型ウェル23と、p型ウェル23に囲まれて設けられ、窒素を含むn型ソース24と、2つのp型ウェル23の上に設けられたSiO₂からなるゲート絶縁膜26と、ゲート絶縁膜26の上に設けられたA1からなるゲート電極27と、n型ソース24の上に設けられ、Niからなるソース電極25と、基板21の裏面上に設けられたNiからなるドレイン電極28とを有している。また、図1には隣接する縦型MOSFETも示しているが、1枚のチップ上には、多数の縦型MOSFETが形成されている。

【0023】

また、n型ドープ層12、22のキャリア濃度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ 、p型ウェル13、23のキャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 、n型ソース14、24のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0024】

なお、図1(a)、(b)では、第1のスイッチング素子1と第2のスイッチング素子2のゲート電極同士、ソース電極同士が直接接しているように示しているが、実際には第1のスイッチング素子1と第2のスイッチング素子2の間には層間絶縁膜が設けられており、プラグや導電板を介してゲート電極同士、ソース電極同士が電氣的に接続されている。

【0025】

本実施形態の双方向デバイスは、公知の方法を組み合わせることにより作製することができる。

【0026】

すなわち、基板11を準備し、基板11の主面上に公知の方法でn型ドープ層12をエピタキシャル成長させる。次いで、アルミニウムイオンをn型ドープ層12に注入して活性化アニールを行い、p型ウェル13を形成する。その後、p型ウェル13に窒素イオンを注入して活性化アニールを行い、n型ソース14を形成する。次いで、基板11を熱酸化してゲート絶縁膜16を形成する。次に、n型ソース14の上面及び基板11の裏面にNiを蒸着後、基板11を加熱することで、n型ソース14及びp型ウェル13の上にはオーミック電極であるソース電極15を、基板11の裏面上にはオーミック電極であるドレイン電極18を

それぞれ形成する。続いて、ゲート絶縁膜 16 上に A 1 を蒸着して、ゲート電極 17 の形成を行なう。こうして第 1 のスイッチング素子 1 が作製される。

【0027】

次いで、第 1 のスイッチング素子 1 が形成されたウェハをダイシングして、第 1 のスイッチング素子 1 が設けられたチップを作製する。また、同様にして、第 2 のスイッチング素子 2 が設けられたチップを作製する。

【0028】

次いで、第 2 のスイッチング素子 2 と第 1 のスイッチング素子 1 とを、それぞれの主面同士を向かい合わせるようにして張り合わせる。なお、両スイッチング素子を張り合わせる前に、第 1 のスイッチング素子 1 上に層間絶縁膜やこれを貫通するプラグ等を必要に応じて形成する。また、外部端子となる電極板を第 1 のスイッチング 1 と第 2 のスイッチング素子 2 の間に必要に応じて挟み込んでよい。以上のようにして本実施形態の双方向デバイスを作製できる。

【0029】

本実施形態の双方向デバイスでは、ソース電極とゲート電極間に制御用の電圧を印加することにより、第 1 のスイッチング素子 1 のドレイン電極 18 から第 2 のスイッチング素子 2 のドレイン電極 28 に流れる電流を制御することができる。また、ドレイン電極 18 とドレイン電極 28 に印加される電圧の極性が変わる場合には、逆方向の電流が流れる。このような、本発明の双方向デバイスの動作を図 1 を用いて次に説明する。

【0030】

まず、図 1 (a) に示すように、第 1 のスイッチング素子 1 のドレイン電極 18 に正、第 2 のスイッチング素子 2 のドレイン電極 28 に負の電圧を印加した場合は、p 型ウェル 23 と n 型ドープ層 22 との間の p n 接合においては、p 側に正、n 側に負の電圧がかかることとなり、ソース電極 25 からドレイン電極 28 に電流 2B が流れることになる。すなわち、p n 接合はオンの状態となる。

【0031】

一方、p 型ウェル 13 と n 型ドープ層 12 との間の p n 接合においては、印加される電圧が逆方向となるので、p n 接合はオフ状態となり、電流が流れない。

このため、ドレイン電極 18 とドレイン電極 28 との間に電流は流れず、加えた印加電圧の殆どは第 1 のスイッチング素子 1 の p n 接合部分の空乏層に印加されることになる。

【0032】

そして、この状態でソース電極 15 とゲート電極 17 の間にゲート電極 17 が正となるような電界を印加すると、第 1 のスイッチング素子 1 において MOSFET としての動作がオン状態になり、ドレイン電極 18、基板 11、n 型ドープ層 12、p 型ウェル 13、n 型ソース 14、ソース電極 15 をそれぞれ経由して電流 1A が流れる。第 2 のスイッチング素子 2 には既に電流 2B が流れる状態にあるので、本実施形態の双方向デバイスにおいては、1A から 2B につながる電流が流れる。ここで、ソース電極 15 とゲート電極 17 の間の電圧を大きくすると、電流 1A が大きくなる。なお、本実施形態の双方向デバイスでは、ゲート電極 17 とゲート電極 27 とは互いに電氣的に接続されて同電位となっており、ソース電極 15 とソース電極 25 とについても互いに電氣的に接続されて同電位となっている。そのため、第 2 のスイッチング素子 2 は、第 1 のスイッチング素子と同様に MOSFET として動作し電流 2C が流れることとなる。すなわち、ソース電極に対してゲート電極に第 1 及び第 2 のスイッチング素子のしきい値以上の正電圧を印加することで、ドレイン電極 18 に正、ドレイン電極 28 に負の電圧をかけた場合に、ドレイン電極 18 からドレイン電極 28 へと電流が流れることになる。この時、電流 2C が流れることにより、電流 2B が流れる際に生じる電圧降下が小さくなり、p n 接合にのみ電流が流れる素子に比べて導通損失を小さくすることができる。

【0033】

逆に、第 1 のスイッチング素子 1 のドレイン電極 18 に負、第 2 のスイッチング素子 2 のドレイン電極 28 に正の電圧を印加した場合、図 1 (b) に示すように、ゲート電極—ソース電極間に電位差を加えなければ、ドレイン電極間に印加された電圧の殆どは第 2 のスイッチング素子 2 の p n 接合部分の空乏層に印加されることになる。このとき、p 型ウェル 13 と n 型ドープ層 12 との間の p n 接合はオン状態となり、ソース電極 15 からドレイン電極 18 に電流 1B のみが流

れる。そして、両ドレイン電極に印加する電圧を保持したままゲート電極 17、27 にしきい値以上の正電圧を印加すると、第 2 のスイッチング素子 2 の MOSFET としての動作がオン状態になり、ドレイン電極 28 から n 型ドープ層 22、p 型ウェル 23、n 型ソース 24 を経由してソース電極 25 へと電流 2A が流れる。これと同時に、第 1 のスイッチング素子もオン状態となり、ソース電極 15 からドレイン電極 18 へ電流 1C が流れる。

【0034】

このように、本実施形態の双方向デバイスは、ドレイン電極に印加される電圧の極性が変化しても少ない電圧損失で動作させることができる。また、本実施形態の双方向デバイスでは、第 1 のスイッチング素子 1 と第 2 のスイッチング素子 2 の電気的特性が等しいので、印加される電圧の極性が変化しても、印加される電圧の絶対値に応じてスイッチング動作が行われることとなる。それ故、本実施形態の双方向デバイスは、交流駆動させることができる。従って、本実施形態の双方向デバイスを用いれば、交流一直流変換回路が不要となるので、回路全体としての面積を縮小することができる。また、2 つのスイッチング素子を積層しているので、同一基板上に 2 つのスイッチング素子を隣接して設ける場合に比べても、大幅に面積を低減することができる。

【0035】

なお、本実施形態の双方向デバイスが 2 つのスイッチング素子の積層構造をとることができるのは、基板や基板上の堆積層を SiC で構成しているためである。パワーエレクトロニクス用のデバイスとして、数 kV 以上の高電圧スイッチング素子を Si で構成する場合、耐圧性を持たせるために素子の厚みを数百 μm 程度にする必要があった。これに対し、SiC はワイドバンドギャップの半導体であるので、SiC を構成材料とする場合、素子の厚みを大幅に減らすことができる。参考までであるが、1 kV 以上の電圧に耐える MOSFET に必要なエピタキシャル成長層（ドリフト層）の厚みは、Si 層で 100 μm であるのに対し、SiC 層では 10 μm である。すなわち、本実施形態の双方向デバイスを構成するスイッチング素子は素子の厚みが従来より薄いので、放熱性が向上し、且つ導通損失も低減されている。さらに、SiC は Si に比べて熱伝導率が 3 倍以上あ

るので、本実施形態で用いられるスイッチング素子の放熱性はさらに良好になっている。その上、SiCの耐熱性はSiに比べ非常に高くなっている。そのため、高電圧下で大電流が流れる状況下でも、本実施形態の双方向デバイスの温度は動作可能温度内に抑えられる。従って、本実施形態の双方向デバイスはインバータなどのパワーエレクトロニクス回路に使用することが可能となっている。

【0036】

なお、SiC以外にもダイヤモンドやガリウムナイトライド (GaN) などのワイドギャップの半導体であれば素子の厚みを薄くできるので、素子の構成材料として用いることができる。ダイヤモンドの熱伝導率はSiに比べて3倍以上高いので、SiCの代替材料としては特に好ましい。ただし、現状の技術ではSiCの方がより微細なデバイスを作製することが可能である。

【0037】

以上では、スイッチング素子がnチャネル型の縦型MOSFETである場合について説明したが、pチャネル型の縦型MOSFETを用いても双方向デバイスを作製できる。その場合には、2つのスイッチング素子のドレイン間に電圧を加えた時に電流の流れる方向がnチャネル型の場合と逆になる。また、ゲート電極にソース電極に対して負またはしきい値以下の電圧をかけた時に両ドレイン間に電流が流れることになる。

【0038】

また、本実施形態の双方向デバイスにおいて、縦型MOSFETの単位素子が並列して多数連なっている場合でも動作させることができる。また、隣接する素子間に素子分離用絶縁膜が設けられていてもよい。

【0039】

なお、本実施形態の双方向デバイスにおいては、スイッチング素子が縦型MOSFETであったが、これに代えてIGBTやバイポーラトランジスタを用いてもよいし、図1(a), (b)に示す構成でゲート絶縁膜を設けないバイポーラトランジスタを用いてもよい。また、GTOサイリスタを重ね合わせても双方向デバイスとして機能させることができる。

【0040】

－双方向デバイスの端子構造－

図2 (a) は、本実施形態の双方向デバイスの電極構造を示す立体概略図であり、(b) は、本実施形態の双方向デバイスの一例を示す平面概略図である。なお、図2 (a) では、層間絶縁膜やプラグは図示していない。

【0041】

同図に示すように、スイッチング素子1とスイッチング素子2の間には、ソース電極15及びソース電極25と電氣的に接続された第1の金属板5と、ゲート電極17及びゲート電極27に電氣的に接続された第2の金属板7とが挟み込まれている。そして、図2 (b) に示すように、厚みが50 μ m程度の第1の金属板5及び第2の金属板7は、それぞれ平面的に見てスイッチング素子の基板からはみ出している。このはみ出した部分があることにより、第1の金属板5は、ソース電極用のリード端子となり、第2の金属板7は、ゲート電極用のリード端子として機能する。

【0042】

本発明の双方向デバイスを動作させるためには、ソース電極15-ゲート電極17間及びソース電極25-ゲート電極27間に制御電圧を印加する必要があるので、外部に接続されるリード端子が必要となる。そのため、本実施形態では、第1の金属板5と第2の金属板7をスイッチング素子1とスイッチング素子2の間に挟む構造をとることによって、リード端子を容易に形成することができる。加えて、各スイッチング素子で生じる熱を効率よく逃がすことができるので、双方向デバイスの温度の上昇を抑制することもできる。このような放熱効果は、第1の金属板5及び第2の金属板7の厚みをさらに減らすことで大きくなる。この第1の金属板5と第2の金属板7の材料はNi, Al, Mo, Auなどをはじめ、金属であれば特に限定はない。

【0043】

なお、本実施形態の双方向デバイスにおいて、制御電圧はドレイン電極18, 28に供給される交流電圧に対して絶縁され、「浮いた」電圧である必要がある。また、第1の金属板5と第2の金属板7との間は互いに電氣的に導通しないようにする。

【0044】

なお、図2(a), (b)に示す例では、第1の金属板5のはみ出し部分と第2の金属板のはみ出し部分とは双方向デバイスの両側に分かれているが、上面から見て同じ側に設けられていてもよく、隣接する辺の側に設けられていてもよい。

【0045】

なお、金属板を用いる以外の方法でリード端子を形成することも可能である。

【0046】

次に、実装に適したドレイン電極側の構成例について説明する。

【0047】

図3は、実装に適した本実施形態の双方向デバイスの構成例を示す断面図である。同図に示すように、第1のスイッチング素子1が設けられた第1の半導体チップ30のドレイン電極（裏面）と第2のスイッチング素子2が設けられた第2の半導体チップ32のドレイン電極（裏面）とにそれぞれ金（Au）などの導電体からなる導電板36が接着されていてもよい。この場合、実装が容易になるので好ましい。その上、導電板36を設けることで双方向デバイスの放熱性も向上させることができる。双方向デバイスの放熱性は、導電板36の厚みを大きくして熱容量を増加させることでさらに向上する。

【0048】

このような導電板36を双方向デバイスに接着させる際には、例えば、図3に示すような固定用具38で固定し、熱を加えればよい。この後、必要に応じて樹脂封止などを行ってもよいし、この導電板36を半田を用いて回路基板に直接固定してもよい。なお、双方向デバイスに固定用具38を付けた状態で樹脂封止することもできる。また、固定用具38で固定しながら熱をかけずに超音波融着などを行うことも可能である。導電板36の材料が金の場合、十分に表面処理を施せば、ドレイン電極に接触させておくだけで接着させることも可能である。

【0049】

－その他の実施形態－

図4は、2つのIGBTの上面同士を重ね合わせて構成した双方向デバイスを

示す断面図である。この図も図 1 と同様に、第 1 の IGBT 41 と第 2 の IGBT 42 間に設けられている層間絶縁膜やリード端子は図示していない。

【0050】

第 1 の IGBT 41 は、縦型 MOSFET と構成がよく似ているが、縦型 MOSFET では n 型 SiC 基板を用いるのに対し、第 1 の IGBT 41 では p 型 SiC 基板 46 を用いている。そして、p 型 SiC 基板 46 上に設けられた SiC からなる n-ドープ層 48 と、n-ドープ層 48 上に設けられた p 型ウェル 50 と、p 型ウェル 50 上に設けられた n 型ソース 52 と、n-ドープ層 48、p 型ウェル 50 の上に設けられたゲート絶縁膜 56 と、ゲート絶縁膜 56 上に設けられたゲート電極 58 と、n 型ソース 52 上に設けられたエミッタ電極 54 と、p 型 SiC 基板 46 の裏面上に設けられたコレクタ電極 44 とを有している。また、第 2 の IGBT 42 は、第 1 の IGBT と同じ構成を有している。

【0051】

この双方向デバイスにおいて、コレクタ電極 64 に負、コレクタ電極 44 に正電圧を印加する場合、ゲート電極 58-エミッタ電極 54 間及びゲート電極 78-エミッタ電極 74 間に制御電圧を印加しなければ電流は流れない。しかし、この状態でゲート電極 58-エミッタ電極 54 間及びゲート電極 78-エミッタ電極 74 間に、ゲート電極が正になるように制御電圧を加えると、MOSFET がオンして pnp トランジスタのベース電流を供給する形になる。この時、コレクタ電極 44 からエミッタ電極 54 へと電流が流れ、エミッタ電極 74 からコレクタ電極 64 へも電流が流れる。このように、図 4 に示す双方向デバイスは、スイッチング素子として機能させることができる。なお、コレクタ電極 44、64 に印加する電圧の極性を反転させると、流れる電流は逆方向となる。

【0052】

このように、縦型 MOSFET 以外のトランジスタを用いても導通損失の低減されたスイッチング素子を作製することができる。

【0053】

【発明の効果】

本発明の双方向デバイスによれば、デバイスの温度上昇が抑えられた双方向デ

バイスが実現され、交流直流変換を必要とせず、低損失、省スペースを実現できる。そのため、低損失で面積の小さい、インバータなどのパワーエレクトロニクス回路を実現できる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る双方向デバイスを概略的に示す断面図である。

【図 2】

(a), (b) は、それぞれ本発明の双方向デバイスの電極構造を示す立体概略図、及び該双方向デバイスの一例を示す平面概略図である。

【図 3】

実装に適した本発明の双方向デバイスの構成例を示す断面図である。

【図 4】

2つの IGBT を重ね合わせて構成した本発明の双方向デバイスを示す断面図である。

【図 5】

一般的な縦型 MOSFET を示す断面図である。

【符号の説明】

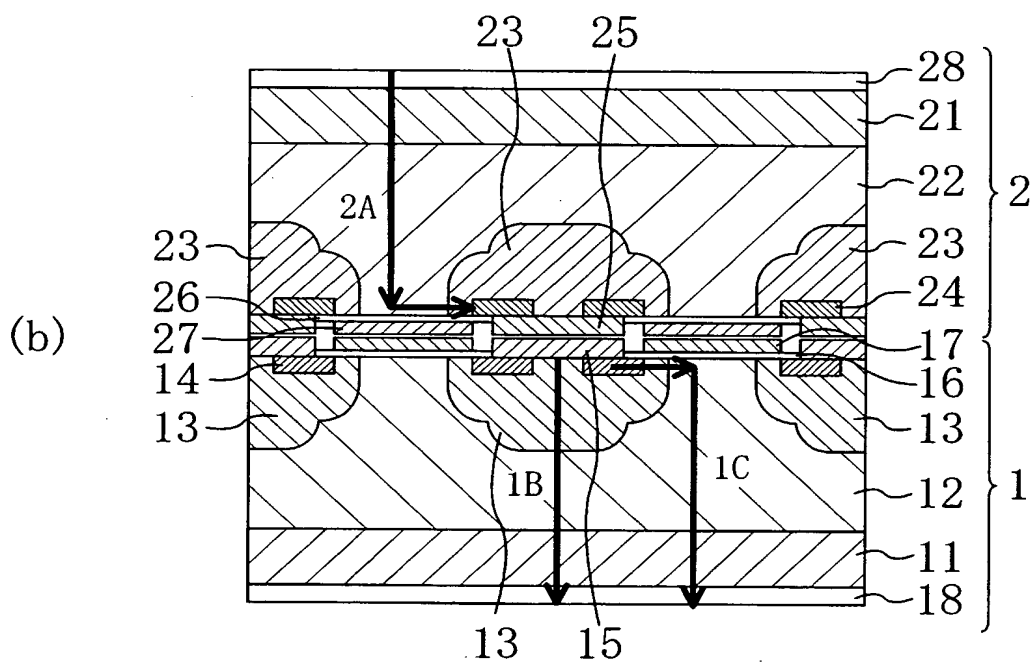
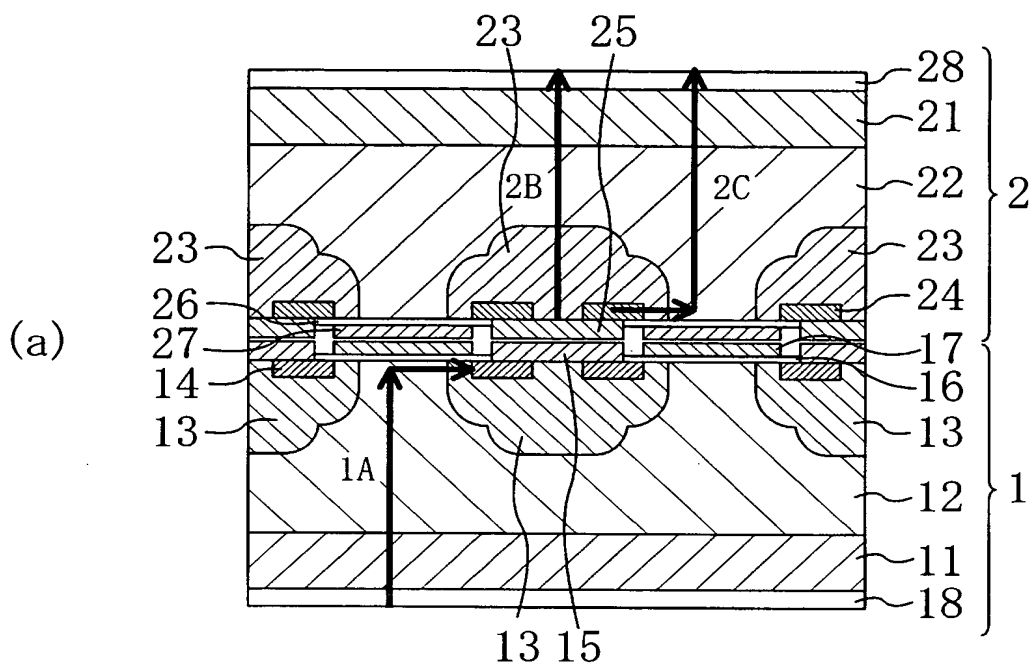
1	第 1 のスイッチング素子
2	第 2 のスイッチング素子
5	第 1 の金属板
7	第 2 の金属板
11, 21	基板
12, 22	n 型ドープ層
13, 23, 50, 70	p 型ウェル
14, 24, 52, 72	n 型ソース
15, 25	ソース電極
16, 26, 56, 76	ゲート絶縁膜
17, 27, 58, 78	ゲート電極
18, 28	ドレイン電極

41 第1のIGBT
 42 第2のIGBT
 46, 66 p型SiC基板
 48, 68 n-ドープ層
 1A, 1B, 1C, 2A, 2B, 2C 電流

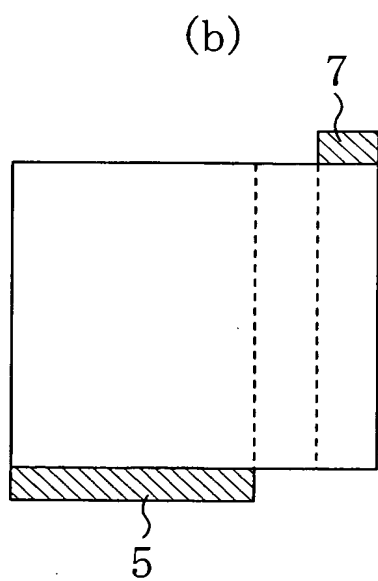
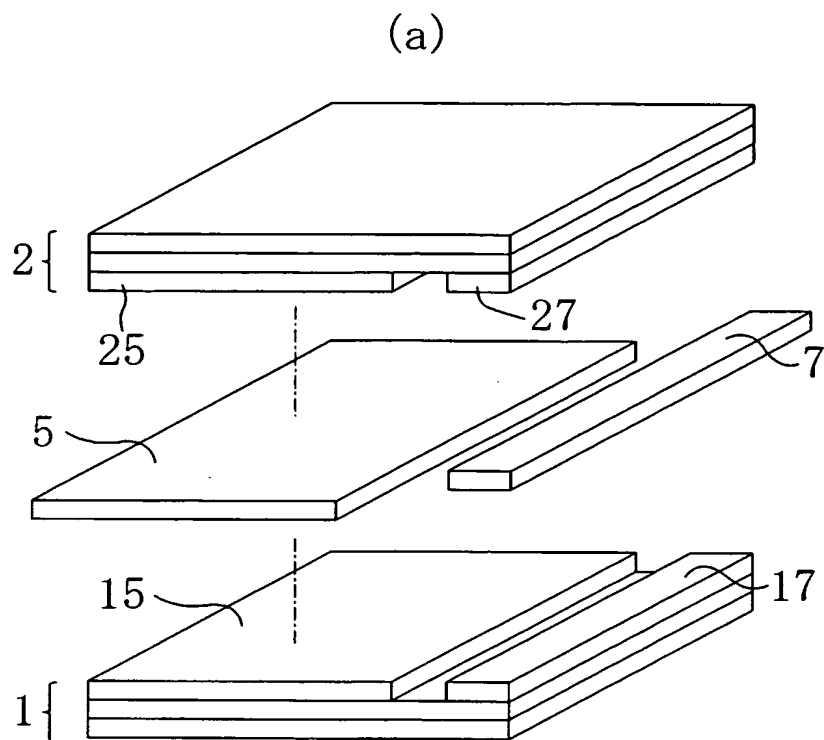
【書類名】

図面

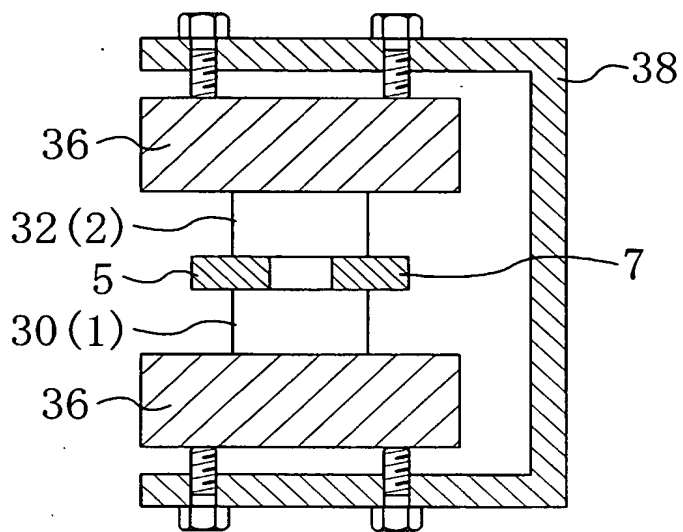
【図 1】



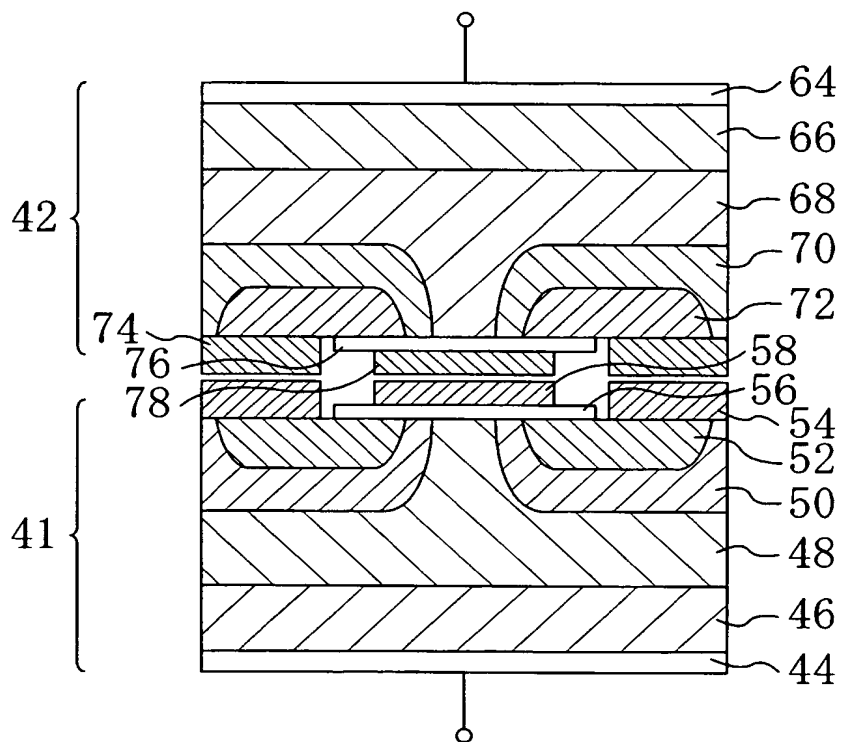
【図 2】



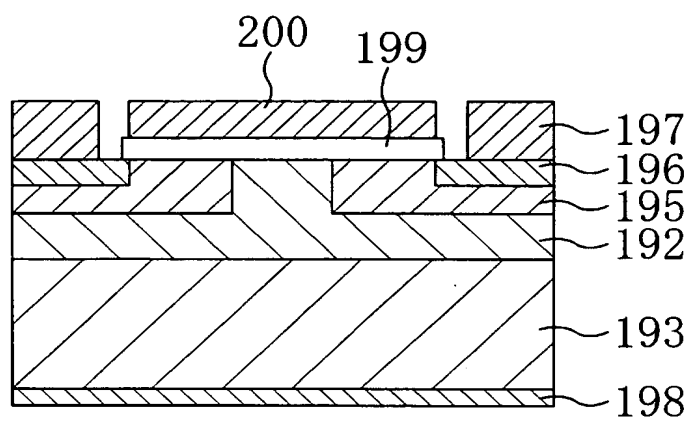
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 電力損失を抑えつつ、小面積化が図られたスイッチング素子を提供する。

【解決手段】 ワイドギャップ半導体からなる基板と、基板の主面側に設けられたソース電極及びゲート電極と、基板の裏面上に設けられたドレイン電極とを有する少なくとも2つのスイッチング素子を、上面側同士を重ねて構成する。

【選択図】 図1

特願 2 0 0 2 - 3 6 7 8 , 4 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社